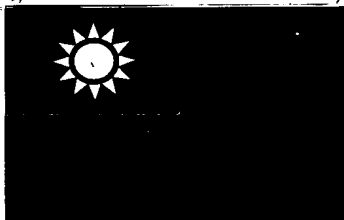


#3



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2001 年 03 月 16 日
Application Date

申請案號：090106274
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

陳明邦

發文日期：西元 2002 年 1 月 10 日
Issue Date

發文字號：09111000409
Serial No.

申請日期：

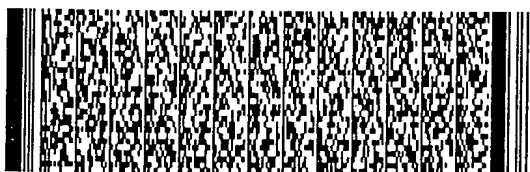
案號：

類別：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	資料傳輸電路及相關方法
	英 文	
二、 發明人	姓 名 (中文)	1. 莊景涪 2. 陳佳欣
	姓 名 (英文)	1. Chuang, Ching-Fu 2. Chen, Chia-Hsin
	國 籍	1. 中華民國 2. 中華民國
	住、居所	1. 台北市興隆路二段二四四巷三十七弄十二號四樓 2. 台北市哈密街二十七之二號二樓
三、 申請人	姓 名 (名稱) (中文)	1. 威盛電子股份有限公司
	姓 名 (名稱) (英文)	1. VIA TECHNOLOGIES, INC.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 台北縣新店市中正路535號8樓
	代表人 姓 名 (中文)	1. 王雪紅
	代表人 姓 名 (英文)	1.



四、中文發明摘要 (發明之名稱：資料傳輸電路及相關方法)

本發明提供一種資料傳輸電路及相關方法，用來傳輸資料，其包含有一輸入電路用來輸入資料，一暫存器電連接於輸入電路，用來暫存輸入電路傳來之資料，以及一控制電路，用來控制資料傳輸電路的操作。若輸入輸入電路的資料為一特定資料，輸入電路會重覆輸出該特定資料至暫存器以延長該特定資料之傳輸時間。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

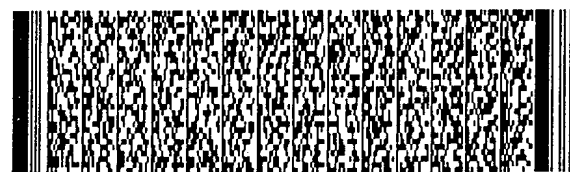
發明之領域：

本發明提供一種用來傳輸資料的資料傳輸電路及相關方法，尤指一種可降低匯流排上雜訊干擾的資料傳輸電路及相關方法。

背景說明：

在資訊產業發達的今日社會，高速處理大量資料的微處理機系統早已深入一般人的日常生活。最為人所熟悉的微處理機系統就是一般的電腦系統了。利用電腦系統，人們可以快速交換、處理豐富多樣的圖文數據資料，提昇工作與生活的效率與樂趣。

一般而言，以高速處理大量資料的微處理機系統，都包含一個以上的資料處理單元。這些資料處理單元各司其職，有的用來儲存資料（譬如一般電腦系統都有的記憶體），有的則是用來運算處理資料（如電腦系統中的中央處理器）。另外有一些資料處理單元是用來協調其他資料處理單元間的資料交換，像是電腦系統中主機板的北橋（north bridge）晶片，就是用來協調中央處理器、記憶體、繪圖加速卡（graphic accelerator）與南橋（south bridge）晶片間資料的交換。為了與其他資料處理單元交換資料以完成微處理機系統的整體功能，每個資料處理單

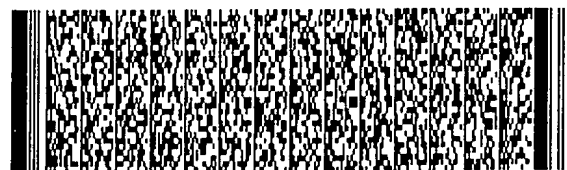
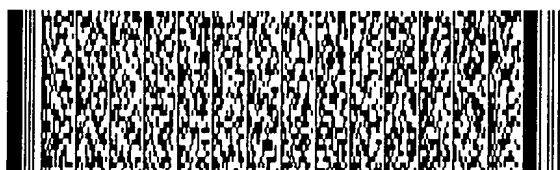


五、發明說明 (2)

元間都以匯流排 (data bus) 相互連接，各資料處理單元中另以資料傳輸電路電連接於該匯流排，負責在匯流排上發送或接收資料。

請參考圖一，圖一為一典型微處理機系統 10 中兩資料處理單元以各自的資料傳輸電路透過一匯流排 12 交換資料的示意圖。微處理機系統 10 中包含有兩個資料處理單元 14 與 16，這兩個資料處理單元 14、16 中則分別設有資料傳輸電路 18 與 20，電連接在匯流排 12 的兩端，負責處理資料處理單元 14 與 16 間的資料交換。

請參考圖二，圖二為一習知資料傳輸電路 22 的功能方塊圖。資料傳輸電路 22 中包括有一輸入電路 24、一暫存器 28、一輸出電路 32 以及一控制電路 34。輸入電路 24 電連接於暫存器 28，暫存器 28 則電連接於輸出電路 32，最後輸出電路 32 電連接於匯流排 12。控制電路 34 控制整個資料傳輸電路 22 的運作，並電連接於暫存器 28 與輸出電路 32；其中輸入電路 24 中設有一資料輸入級 26，暫存器 28 中則設有一 D 型正反器 (D flip-flop) 30。控制 D 型正反器 30 的時脈訊號則由控制電路 34 透過暫存器 28 與控制電路 34 間的電連接通路提供。若有資料要由資料傳輸電路 22 藉由匯流排 12 傳送出去，則資料先由輸入電路 24 的資料輸入級 26 傳送至暫存器 28。經由控制電路 34 提供給暫存器 28 的時脈訊號觸發，暫存器 28 中的 D 型正反器 30 依次將輸入電路 24 傳來的



五、發明說明 (3)

資料傳送至輸出電路 32，並經由輸出電路 32將資料傳送至匯流排 12，完成整個資料傳輸電路 22將資料傳送至匯流排 12的工作。

一旦資料已傳輸至匯流排 12後，控制電路 34會透過與輸出電路 32間的電連接通路以一關閉訊號控制輸出電路 32關閉匯流排 12，使匯流排 12處於浮接(float)的狀態。在匯流排 12處於浮接的狀態下，資料傳輸電路 22可等待連接在匯流排 12另一端的另一個資料傳輸電路傳送資料過來，或是準備好再經由匯流排 12傳出資料。對與匯流排 12電連接的所有資料傳輸電路來說，匯流排 12處於浮接的這段期間也可提供一段迴轉(turn-around)週期，防止在匯流排上傳輸的資料互相干擾而產生的訊號爭擾(contention)現象。通常資料傳輸電路在傳輸完所需的資料後，就會由輸出電路 32關閉匯流排 12一段時間。

如前段所述，關閉匯流排 12有助於在各資料傳輸電路間協調相互傳輸資料的工作。但在控制電路 34對輸出電路 32發出關閉訊號，到輸出電路 32真正關閉匯流排 12間，仍有一段延遲的時間。在這段延遲的時間中，資料傳輸電路 22仍會經由輸出電路 32將資料傳輸到匯流排 12上。若在這一段延遲的時間中，在匯流排 12上的資料內容正好改變(如由高位準轉變為低位準，或相反的由低位準轉變為高位準)，接下來匯流排隨即關閉而處於浮接狀態，則資料



五、發明說明 (4)

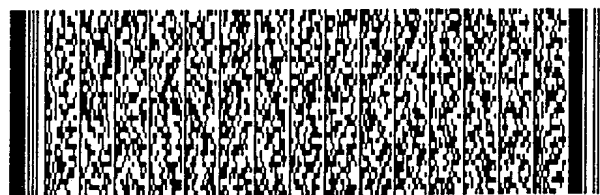
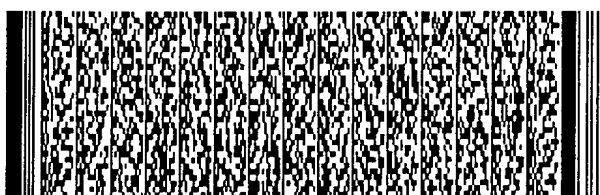
內容轉變之處會形成一個相當於脈衝 (impulse) 的訊號，在處於浮接狀態下的匯流排 12 上傳遞。為詳細說明此點，請參考圖三，圖三為圖二資料傳輸電路 22 中節點 A、B、D、T、E 上各訊號的時序圖。圖三的橫軸即為時間。訊號 40 為節點 T 上的時脈訊號之波形，是控制電路 34 用來控制 D 型正反器 30 的時脈訊號；訊號 42 則是節點 A 上由資料輸入級 26 傳送給 D 型正反器 30 的資料，資料 50、52、54、56 即四筆預定由資料傳輸電路 22 傳送至匯流排 12 上的資料。隨著訊號 40 中時脈訊號上升緣 (rising edge) 的觸發，D 型正反器 30 將資料 50、52、54、56 依次傳送至輸出電路 32，也就是在節點 B 之訊號 44 中的資料 50a、52a、54a、56a。請注意在此同時，控制電路 34 也以訊號 46 (在節點 E 上) 控制輸出電路 32。在資料 50a、52a、54a、56a 傳送至輸出電路 32 的同時，訊號 46 也維持高位準，使這四筆資料可順利地傳送至匯流排 12 上，如匯流排 12 上節點 D 之訊號 48 所示。訊號 48 中的資料 50b、52b、54b、56b 即分別對應訊號 44 中的資料 50a、52a、54a、56a。傳送完這四筆預定傳輸的資料後，控制電路 34 隨即將訊號 46 由高位準調整為低位準，形成一關閉訊號 60，以控制輸出電路 32 關閉匯流排 12。請注意訊號 42 在資料 56 之後仍有後續的資料 58，資料 58 是資料輸入級 26 持續運作傳來的資料，但資料 58 並不是預定與資料 50、52、54、56 一起傳輸的資料。資料 58 會隨訊號 40 中時脈訊號的觸發而由 D 型正反器 30 傳送至輸出電路 32，如訊號 44 中的資料 58a。若關閉訊號 60 能馬上發揮



五、發明說明 (5)

作用，訊號 44 中的資料 58a 就不會錯誤地傳送到匯流排 12 上。但是，正如前面提到過的，從關閉訊號 60 開始發出，到匯流排 12 真正關閉，尚有一段延遲時間。在這段延遲時間中，匯流排 12 仍會由輸出電路 32 接收到一小段的資料 58b，如訊號 48 中標示的區域 62。在這一段的延遲時間中，若資料 56b 與資料 58b 的內容不同，匯流排 12 上的訊號位準勢必要改變，但訊號位準尚未完全改變至穩定之狀態，匯流排 12 就完全關閉，使訊號 48 在區域 62 中的訊號相當於一個脈衝訊號。因為此時匯流排 12 已被關閉而處於浮接狀態，匯流排 12 兩端形同開路，這個脈衝訊號會被開路兩端反射而在匯流排 12 上來回傳遞而不消散，一旦匯流排 12 為傳輸資料的需要而再度開啟，這個脈衝訊號就會干擾匯流排 12 上正常的資料傳輸，進而影響整個微處理機系統 10 的運作。

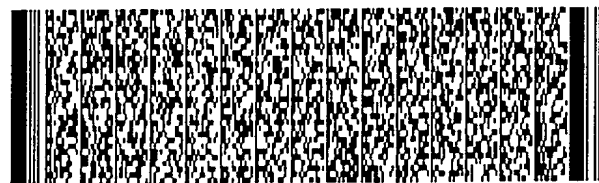
為解決上述脈衝訊號之問題，習知的方法之一就是提早將匯流排 12 關閉。為說明此種習知的方法，請參考圖四，圖四為習知資料傳輸電路防止脈衝訊號發生的方法中，各節點訊號的時序圖。圖四之圖例與圖三相同，訊號 64、66、68、70、72 分別是圖二資料傳輸電路中節點 T、A、B、E、D 的訊號。訊號 66 中的資料 74、76、78、80 即預定傳輸至匯流排 12 上的四筆資料。為防止脈衝訊號的發生，控制電路 34 在訊號 68（在節點 B 上）中之資料 80a 尚未完全持續至整個時脈週期前，就先以關閉訊號 82 控制輸出



五、發明說明 (6)

電路 32 關閉匯流排 12。如此的作法雖能保證預定傳輸的最後一筆資料 80a 之後的資料 84a 完全不會傳送至匯流排 12 上，但資料 80a 可資利用的時間也隨之縮短。

另一種防止脈衝訊號發生的習知方法則可用圖五來說明。請參考圖五。圖五為習知資料傳輸電路防止脈衝訊號發生的另一種方法中，各節點訊號的時序圖。圖五之圖例與圖三、圖四相同，橫軸為時間，訊號 85、86、88、90、92 則分別是圖二中節點 T、A、B、E、D 上的訊號。訊號 86 中的四筆資料 94、96、98、100 是預定要傳輸的資料。在習知方法中，控制電路 34 會延後訊號 90 中發出關閉訊號 102 的時間，等到訊號 88 (在節點 B 上) 預定傳輸的最後一筆資料 100a 結束後，再等半個訊號 85 的時脈週期才以關閉訊號 102 控制輸出電路 32 關閉匯流排 12。這種做法係期待非預定傳輸的資料 104a 可於半個訊號 85 的時脈週期內達到穩定狀態，並藉由其達到穩定狀態後關閉匯流排 12 來避免脈衝訊號的產生，既然訊號 92 中的資料 104b 並非預定要傳輸的資料，此種習知方法並不會影響預定要傳送之四筆資料 (即訊號 92 中資料 94b、96b、98b、100b) 可資利用的時間，也可避免脈衝訊號的產生。此種習知方法的關鍵在於資料 104a 必須在半個訊號 85 的時脈週期內便達到穩定狀態，若資料 104a 無法在半個訊號 85 的時脈週期內達到穩定狀態，則脈衝訊號也就無法避免。隨著技術的演進，微處理機系統 10 中各資料處理單元運作的頻率日漸增高，訊號



五、發明說明 (7)

85的時脈週期變得非常的短，因此在高速的微處理機系統，資料104a便無法在半個訊號85的時脈週期內達到穩定狀態，因此脈衝訊號仍會產生。另外，如美國專利第6133757號所揭示之技術，則是以一驅動速度較快的資料傳輸電路減少匯流排上資料達到穩定狀態所需之時間，並減少資料傳輸期間匯流排上訊號位準改變（因各筆資料內容不同）時造成的突波；但在匯流排關閉的瞬間，仍要以其他方法防止匯流排上的雜訊。

發明概述：

因此，本發明之主要目的在於提供一種即使在高時脈匯流排上仍可防止脈衝訊號發生的資料傳輸電路。

發明之詳細說明：

請參考圖六，圖六為本發明資料傳輸電路110之功能方塊圖。資料傳輸電路110包含有一輸入電路120、一暫存器130、一輸出電路140與一控制電路150。輸入電路120中有資料輸入級122與多工器124；其中多工器124有一第一輸入端126、一第二輸入端128與一控制端129，而第二輸入端128與資料輸入級122電連接，控制端129則與控制電路150電連接。暫存器130中設有一D型正反器132，其輸入端電連接於多工器124的輸出端，D型正反器132的輸出端

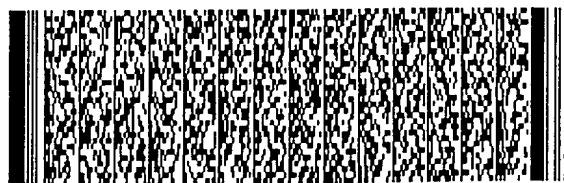
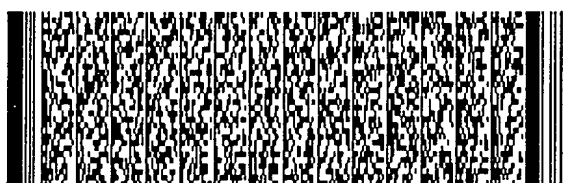


五、發明說明 (8)

則電連接於輸出電路 140。另外，D型正反器 132 的輸出端尚有一回饋電連接通路，與多工器 124 的第一輸入端 126 電連接。輸出電路 140 則電連接於匯流排 108，以便將資料傳輸至匯流排 108 上。控制電路 150 則分別與多工器 124 之控制端 129、D型正反器 132、輸出電路 140 電連接，以控制這些功能方塊的運作；其中控制電路 150 可用控制端 129 的訊號控制多工器 124，使其輸出由第一輸入端 126 或由第二輸入端 128 輸入的訊號。

至於本發明資料傳輸電路 110 工作的情形與防止脈衝訊號的原理，可由圖七的訊號時序圖來說明。請參考圖七，圖七為資料傳輸電路 110 於圖六中各節點訊號的時序圖。圖七的橫軸即為時間軸；訊號 160、162、164、166、168、170、172 則分別是節點 T1、第二輸入端 128、第一輸入端 126、控制端 129、節點 A1、節點 E1、節點 D1 上的訊號。在資料傳輸電路 110 工作時，控制電路 150 會以訊號 160 中的時脈訊號控制 D 型正反器的運作。預定要傳輸的資料，首先由資料輸入級 122 輸入至多工器 124 的第二輸入端 128，第二輸入端 128 上之訊號 162 其中的資料 180、182、184 與 186，即為本實施例中預定要傳輸至匯流排 108 的四筆資料；其中資料 186 為這四筆預定傳輸資料中的最後一筆，故特別將其稱為特定資料。

在資料 180 開始由資料輸入級 122 傳送至第二輸入端



五、發明說明 (9)

128時，控制電路 150也以訊號 166的高位準訊號輸入多工器 124的控制端 129，而高位準的訊號會使多工器 124輸出由第二輸入端 128輸入的訊號。於是由資料輸入級 122經第二輸入端 128輸入多工器 124的訊號，就會由多工器 124輸出至 D型正反器 132，如同節點 A1上訊號 168所示。在訊號 166維持高位準的期間，多工器 124輸出至 D型正反器 132的訊號 168是由第二輸入端 128輸入的訊號 162，而訊號 162中的資料 180、182、184也就分別成為訊號 168中的資料 180b、182b、184b。資料傳至 D型正反器 132之後，D型正反器 132會根據控制電路 150發出的訊號 160中之時脈訊號，在時脈訊號上升緣時將資料傳送至輸出電路 140。請注意在本發明資料傳輸電路 110中，D型正反器 132的輸出端不僅電連接至輸出電路 140，也電連接至多工器 124之第一輸入端 126，所以第一輸入端 126上的訊號 164，也是由 D型正反器 132傳送至輸出電路 140的訊號；而訊號 164中之資料 180a、182a、184a，就分別是訊號 168（節點 A1）中之資料 180b、182b、184b隨訊號 160中之時脈訊號觸發而由 D型正反器 132輸出之資料。不過此時控制電路 150用來控制多工器 124的訊號 166仍維持高位準，所以在這段期間多工器 124輸出的訊號 168與輸入第一輸入端 126的訊號 164無關。在訊號 164中之資料 180a開始傳送到輸出電路 140的同時，控制電路 150也以節點 E1上的訊號 170中之高位準控制輸出電路 140開放匯流排 108，使訊號 164可由輸出電路 140傳輸至匯流排 108上，也就是匯流排 108上的節點 D1之

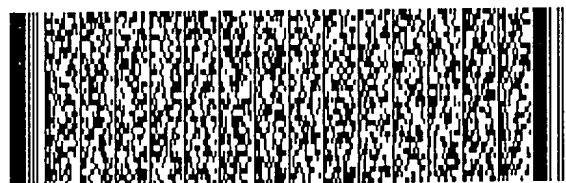
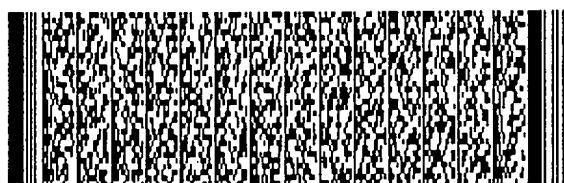


五、發明說明 (10)

訊號 172；而訊號 172中之資料 180c、182c、184c分別就是訊號 164中的資料 180a、182a、184a。

隨著時序推移，資料輸入級 122開始將預定傳輸之四筆資料中的最後一筆資料，也就是特定資料，傳輸至多工器 124。如同第二輸入端 128上之訊號 162所示，資料 186就是該筆特定資料。在特定資料 186剛開始傳輸到多工器 124時，控制電路 150仍以訊號 166中的高位準控制多工器 124選擇由第二輸入端 128輸入的訊號為其輸出，故訊號 162中的特定資料 186經過多工器 124的輸出，成為訊號 168中的資料 186b。訊號 160中的時脈訊號會在時間 t_1 （請參考圖七中橫軸標示）將訊號 168中的資料 186b傳輸至輸出電路 140，同時也回饋至多工器 124的第一輸入端 126，也就是訊號 164中的資料 186a。訊號 164中的資料 186a，經由輸出電路 140，就變成了匯流排 108上訊號 172中的資料 186c。

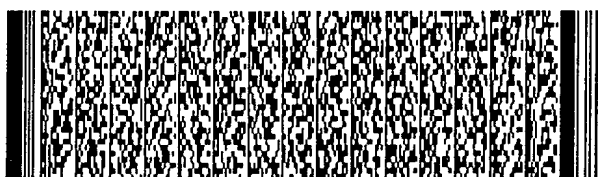
等到了時間 t_2 ，控制電路 150會改以一低位準的延遲訊號 190，由控制端 129控制多工器 124，使多工器 124改為以第一輸入端 126的訊號 164作為其輸出。而在時間 t_2 時，訊號 164的內容正好是資料 186a的內容；而此段 186a資料的內容，就會經由多工器 124輸出（有一小段時間的延遲），變成節點 A1訊號 168中的資料 194。請注意資料 194的內容和特定資料 186的內容完全相同。經過訊號 160中時脈訊號在時間 t_3 之上升緣觸發，D型正反器 132會將訊號 168



五、發明說明 (11)

中的資料 194，傳送至輸出電路 140，也就是訊號 164 中的資料 196。而訊號 164 中的資料 196，經過輸出電路 140，也就變成了匯流排上節點 D1 之訊號 172 中的資料 198。在時間 t_3 之後，所有要預定傳輸的四筆資料，都已傳輸至匯流排 108；而且，最後一筆資料，也就是特定資料的內容，會在訊號 172 上的資料 198 中重複，等效上也就是延長了特定資料在匯流排 108 上的傳輸時間（原本各筆資料的傳輸時間為訊號 160 中時脈訊號的一個時脈週期，對特定資料而言，原本的傳輸時間為時間 t_1 至時間 t_3 ）。經過時間 t_3 之後，控制電路 150 就可以用訊號 170 中的低位準的關閉訊號 92 控制輸出電路 140 關閉匯流排 108，而不必擔心匯流排上發生脈衝訊號。

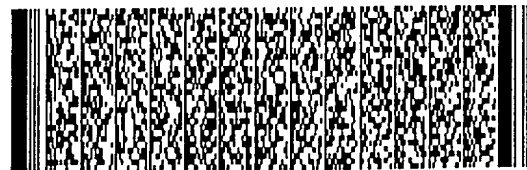
藉著延長特定資料的傳輸時間，本發明之資料傳輸電路 110 就可避免匯流排上發生脈衝訊號。如前面討論過的，脈衝訊號是在匯流排開始關閉至完全關閉之期間，匯流排上資料之內容改變所導致的。本發明之資料傳輸電路，可延長特定資料（也就是預定傳輸的最後一筆資料）的傳輸時間，在延長的傳輸時間中才將匯流排關閉；如此一來既不會減少特定資料可資利用的時間，即使匯流排完全關閉所需要的時間較長，資料的內容也絕對不會在匯流排關閉的期間改變。是故本發明之資料傳輸電路 110 可避免匯流排上脈衝訊號的發生，更可進一步確保整個微處理機系統各資料處理單元間可正確地交換資料。



五、發明說明 (12)

總而言之，本發明資料傳輸電路的基本精神即在於延長預定傳輸的最後一筆資料的傳輸時間，使匯流排上的資料內容從匯流排開始關閉到完全關閉的期間內可維持一致，從而避免匯流排上發生脈衝訊號。而在實際的電路實施上，本發明資料傳輸電路是以一多工器控制一回饋電連接通路，即可達到延長特定資料傳輸時間、降低匯流排上雜訊干擾之目的。本發明之優點使其適用於高時脈之資料傳輸，譬如說是一般電腦上裝在主機板中、用來控制中央處理器 (CPU, Central Processing Unit) 與記憶模組 (memory, 如隨機存取記憶體) 間資料傳輸的北橋 (north bridge) 晶片。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖示之簡單說明：

圖一為一微處理機系統中兩資料處理單元以一匯流排交換資料之示意圖。

圖二為習知資料傳輸電路之功能方塊圖。

圖三為圖二中習知資料傳輸電路運作時各節點訊號的時序圖。

圖四為圖二中習知資料傳輸電路以第二種方式運作時各節點訊號的時序圖。

圖五為圖二中習知資料傳輸電路以第三種方式運作時各節點訊號的時序圖。

圖六為本發明資料傳輸電路之功能方塊圖。

圖七為圖六資料傳輸電路運作時各節點訊號之時序圖。

圖示之符號說明：

108 匯流排

110 資料傳輸電路

122 資料輸入級

126 第一輸入端

129 控制端

132 D型正反器

150 控制電路

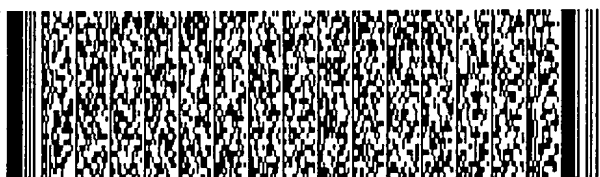
120 輸入電路

124 多工器

128 第二輸入端

130 暫存器

140 輸出電路



圖式簡單說明

160、162、164、166、168、170、172	訊號
180、182、184、186	資料
190 延遲訊號	192 關閉訊號



六、申請專利範圍

1. 一種資料傳輸電路，用來傳輸資料，其包含有：
 - 一輸入電路，用來輸入資料；
 - 一暫存器，電連接於該輸入電路，用來暫存該輸入電路傳來之資料；以及
 - 一控制電路，用來控制該資料傳輸電路之操作；其中若輸入該輸入電路之資料係為一特定資料，該輸入電路會重覆輸出該特定資料至該暫存器以延長該特定資料之傳輸時間。
2. 如申請專利範圍第1項之資料傳輸電路，其另包含一輸出電路，電連接於該暫存器，用來輸出該暫存器傳來之資料。
3. 如申請專利範圍第2項之資料傳輸電路，其中該暫存器包含有一D型正反器，用來依據一時脈訊號將該輸入電路傳來之資料輸出至該輸出電路並回授至該輸入電路。
4. 如申請專利範圍第2項之資料傳輸電路，其中當該輸入電路重覆輸出該特定資料至該暫存器時，該暫存器會延長輸出該特定資料至該輸出電路的時間，而當該暫存器延長輸出該特定資料至該輸出電路的時間後，該控制電路會輸出一關閉訊號來停止該輸出電路輸出由該暫存器所傳來之該特定資料。



六、申請專利範圍

5. 如申請專利範圍第 1 項之資料傳輸電路，其中該輸入電路包含有一多工器，該多工器包含有：
- 一第一輸入端，電連接於該暫存器之輸出端，用來輸入該暫存器所輸出之資料；
 - 一第二輸入端，用來輸入該資料傳輸電路所欲傳輸之資料；以及
 - 一控制端，電連接於該控制電路，用來接收該控制電路所傳來之控制訊號。
6. 如申請專利範圍第 5 項之資料傳輸電路，其中當該第一輸入端接收到該特定資料且該多工器已將該特定資料輸出至該暫存器後，該控制電路會產生一延遲訊號至該控制端以使該多工器輸出該第一輸入端所接收之該特定資料。
7. 如申請專利範圍第 5 項之資料傳輸電路，其中該特定資料係為連續輸入該第二輸入端之複數筆資料中之最後一筆資料。
8. 如申請專利範圍第 1 項之資料傳輸電路，其係設置於一主機板之北橋晶片上。
9. 一種經由一資料傳輸電路傳輸一資料的方法，該資料傳輸電路包含有：
- 一輸入電路，用來輸入資料；以及



六、申請專利範圍

一暫存器，電連接於該輸入電路，用來暫存該輸入電路傳來之資料；

而該方法包含有：

若輸入該輸入電路之資料係為一特定資料，則重覆將該特定資料輸出至該暫存器以延長該特定資料之傳輸時間。

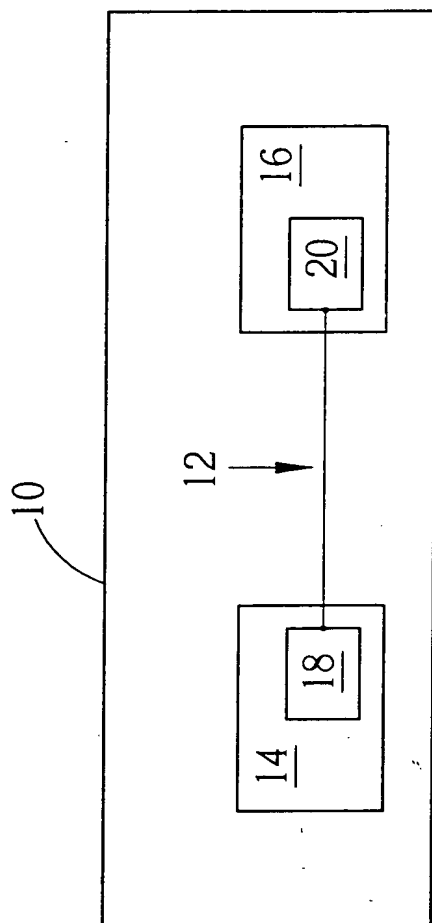
10. 如申請專利範圍第9項之方法，其另包含有：

當延長該特定資料之傳輸時間後，輸出一關閉訊號來停止該特定資料之傳輸。

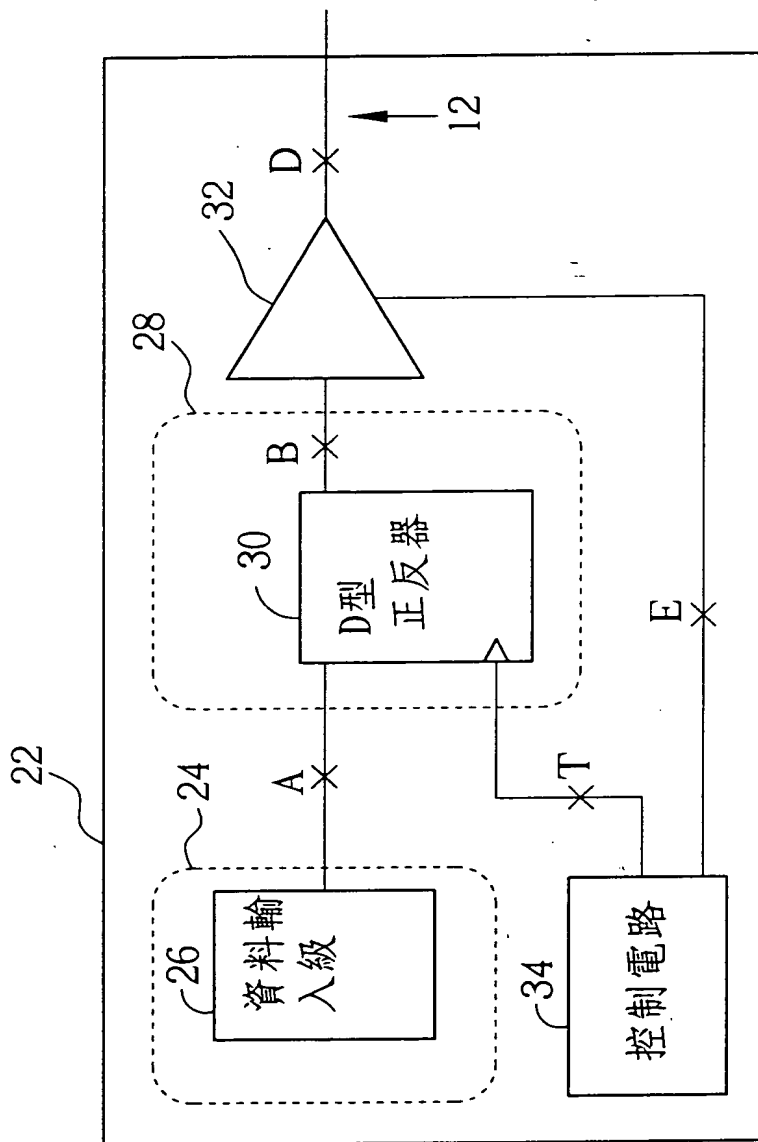
11. 如申請專利範圍第9項之方法，其中該特定資料係為連續輸入該輸入電路之複數筆資料中的最後一筆資料。

12. 如申請專利範圍第9項之方法，其中該資料傳輸電路係設置於一主機板之北橋晶片上。

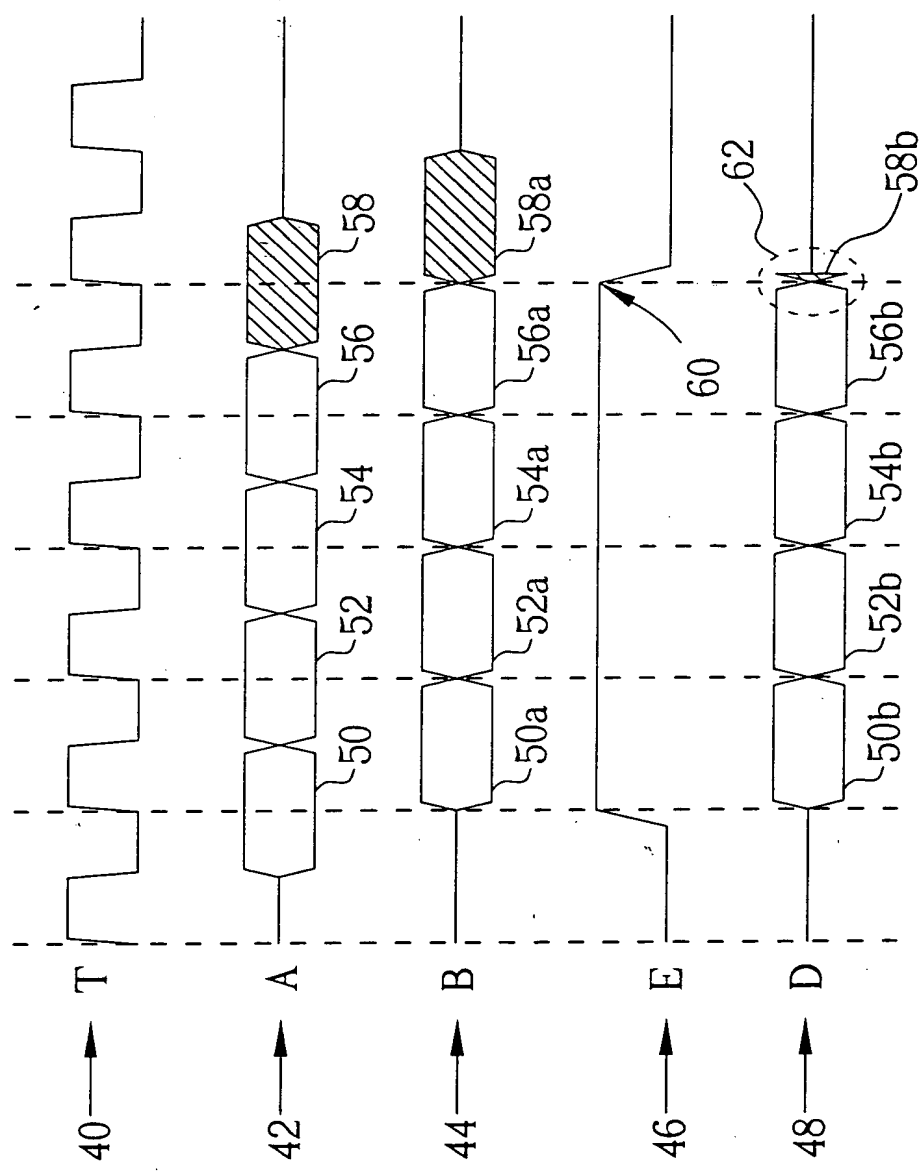




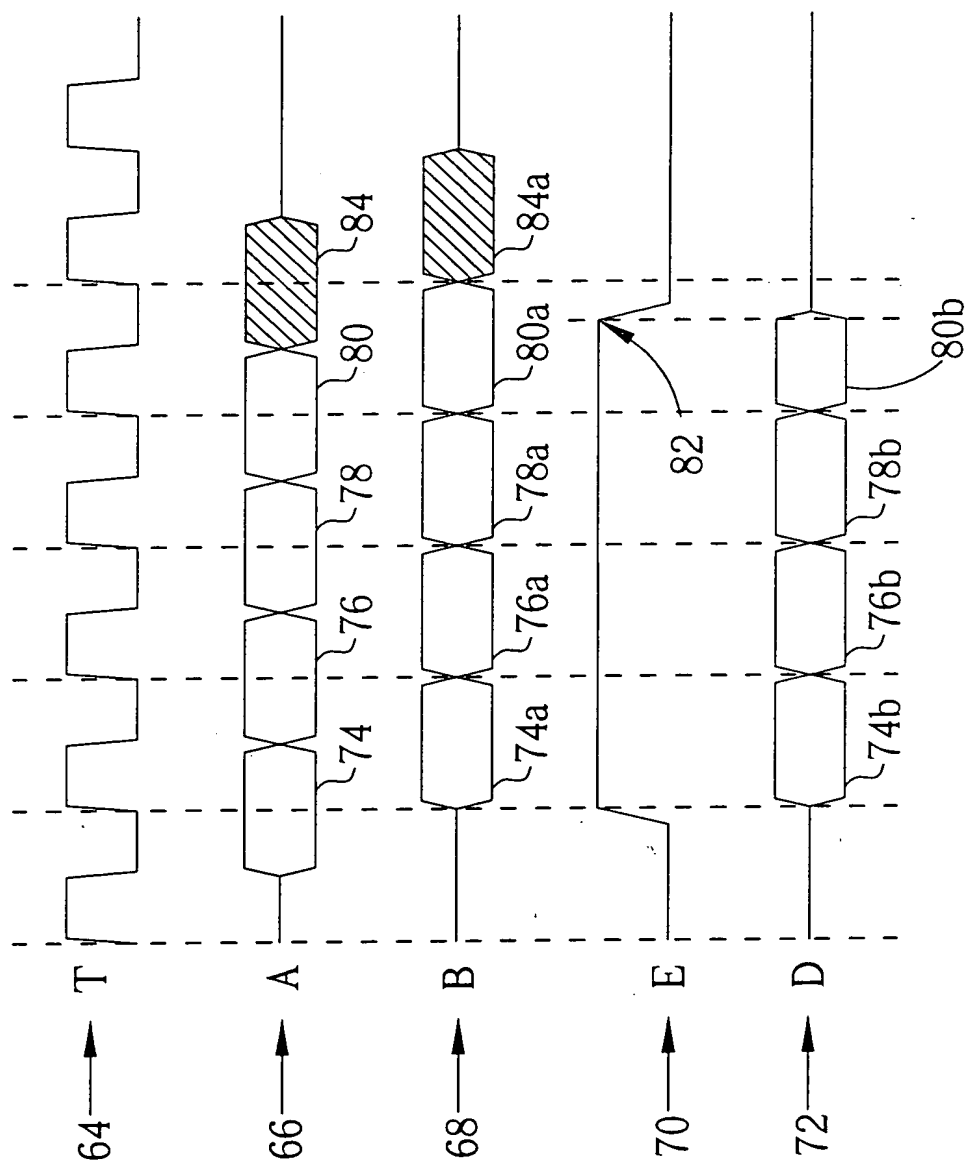
圖一



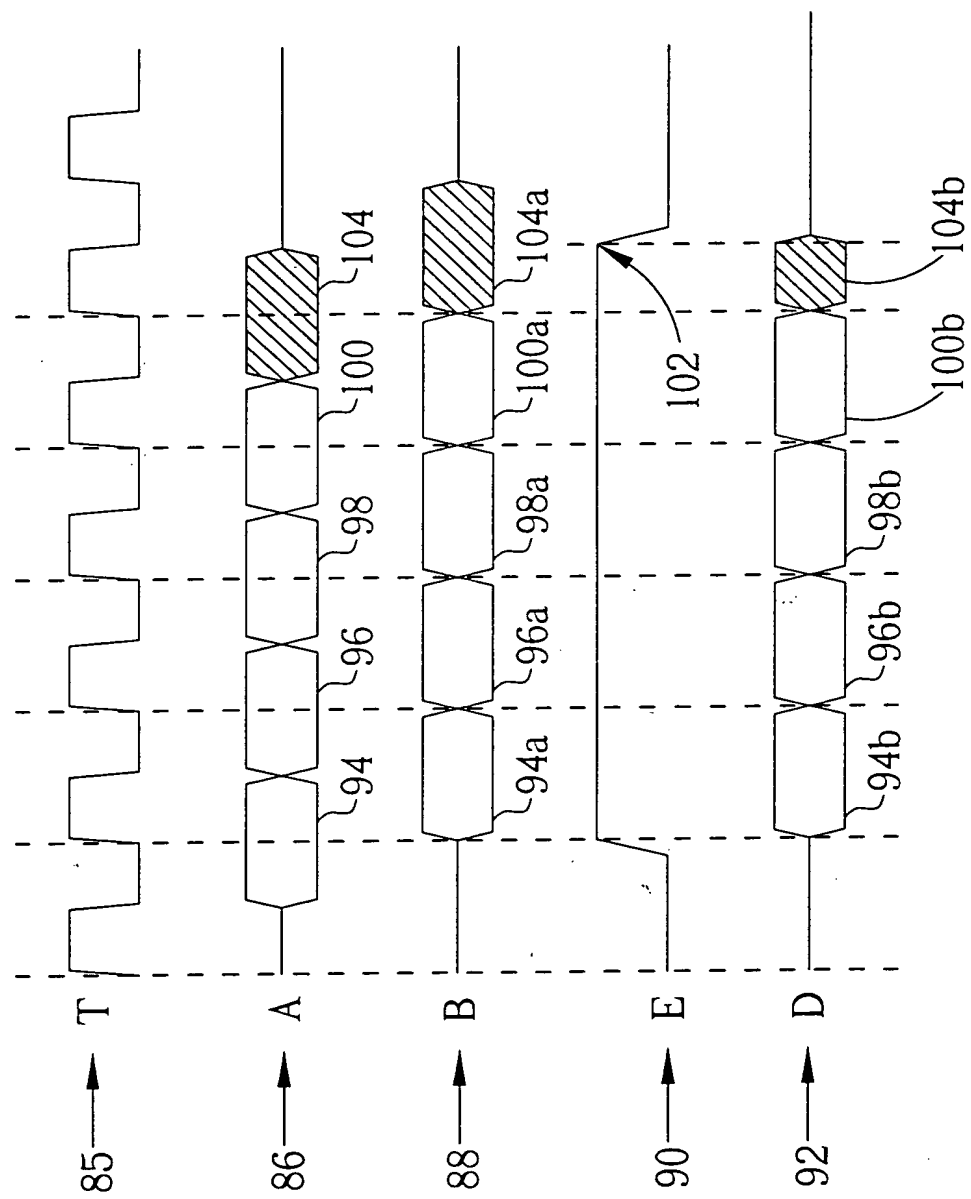
圖二



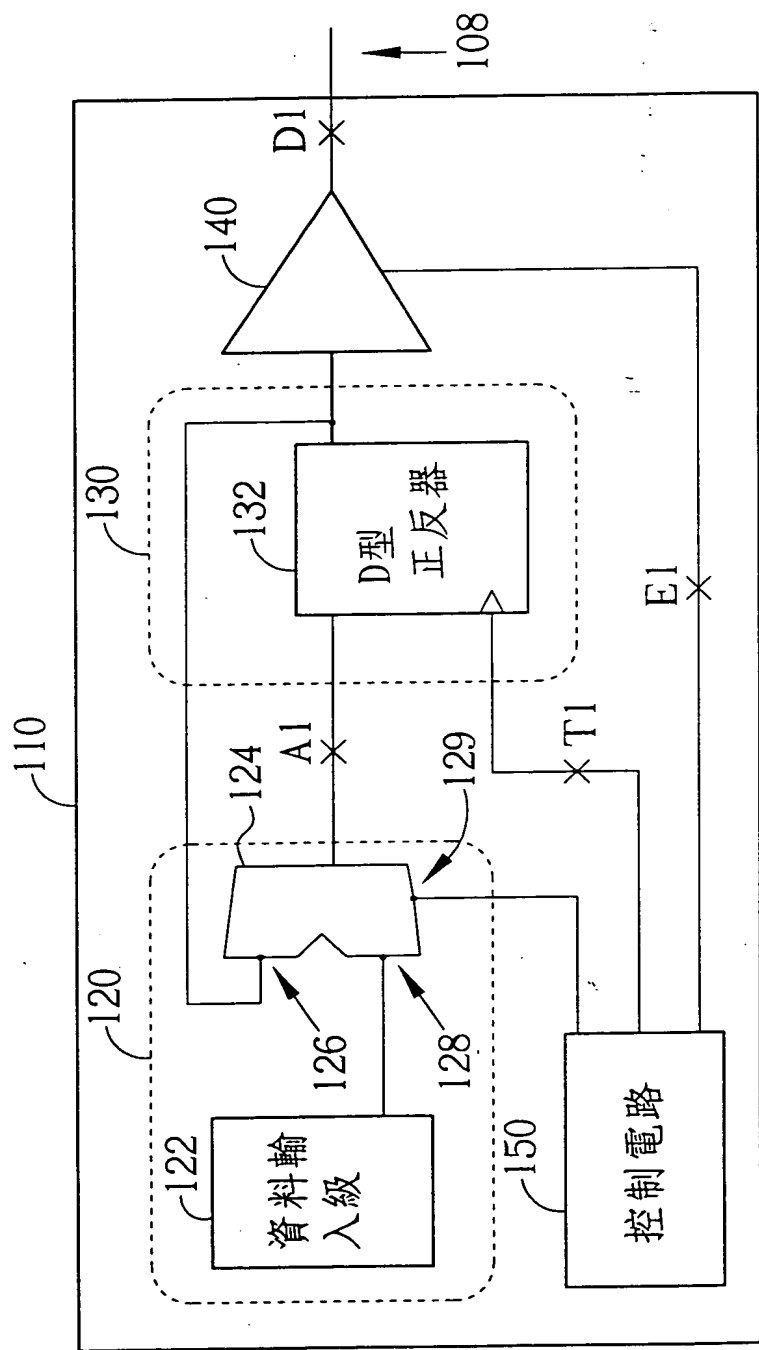
圖三



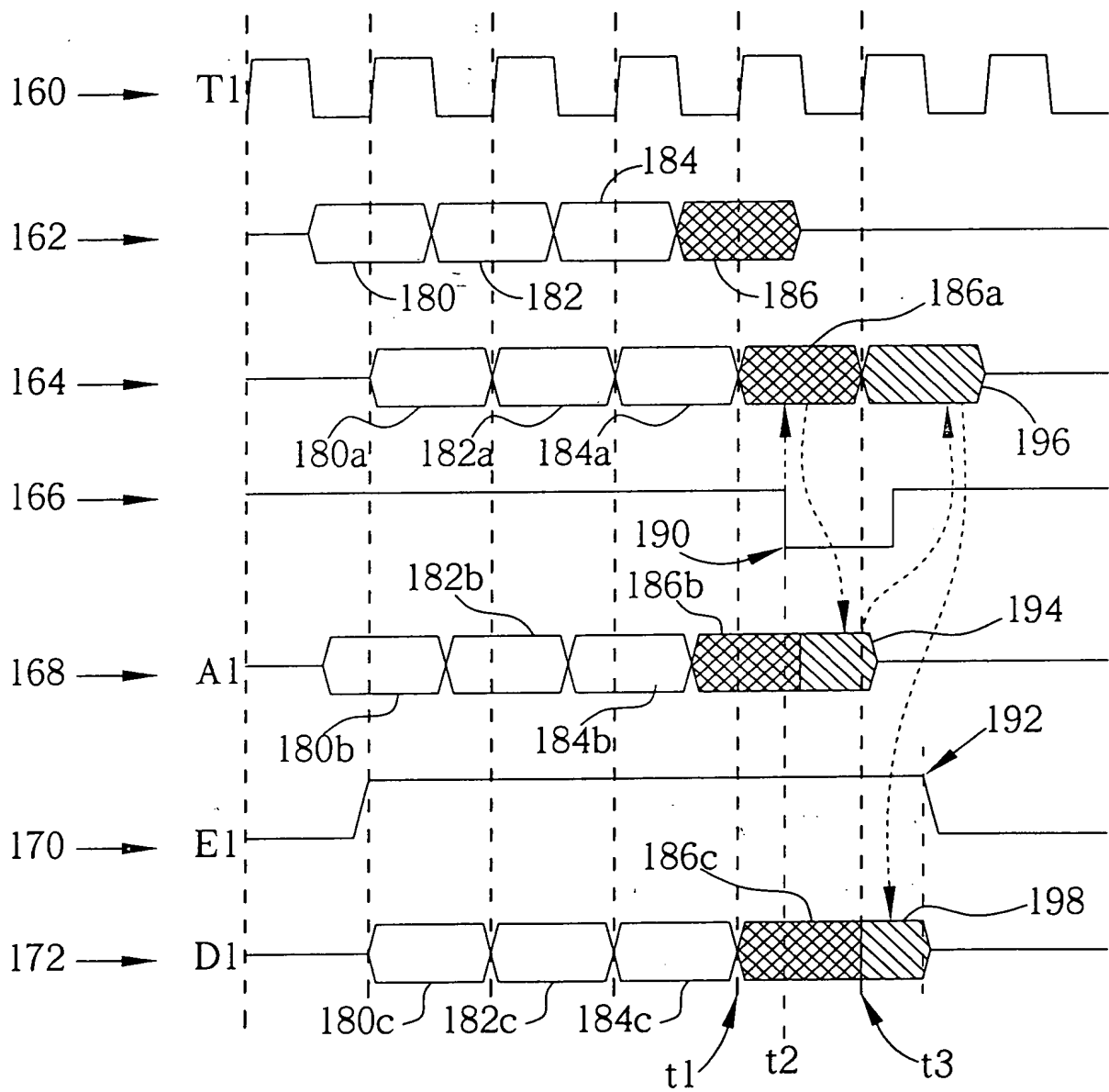
圖四



圖五

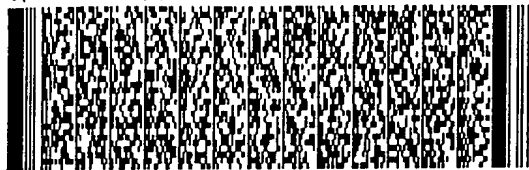


圖六



圖七

第 1/20 頁



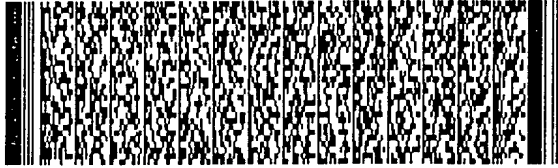
第 2/20 頁



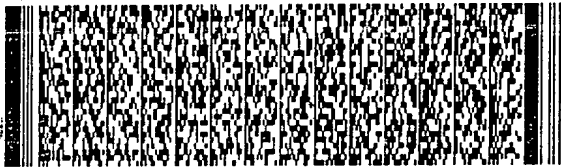
第 4/20 頁



第 4/20 頁



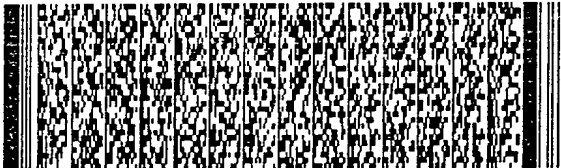
第 5/20 頁



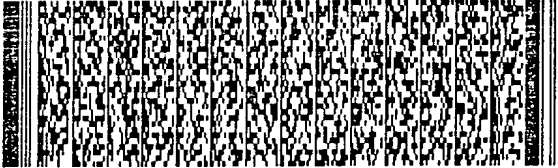
第 5/20 頁



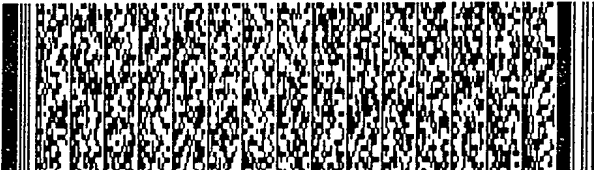
第 6/20 頁



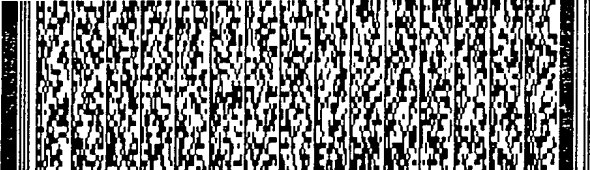
第 6/20 頁



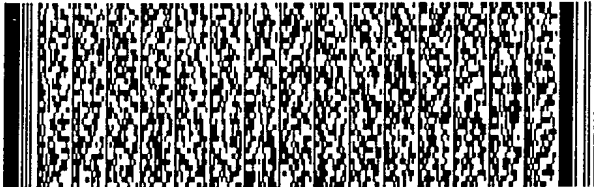
第 7/20 頁



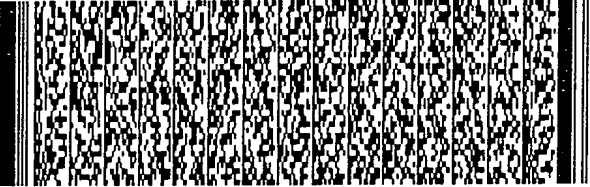
第 7/20 頁



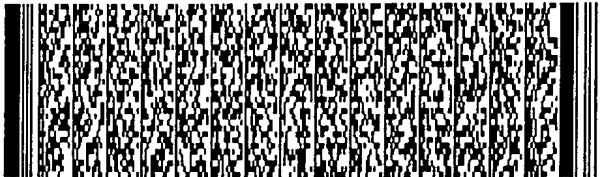
第 8/20 頁



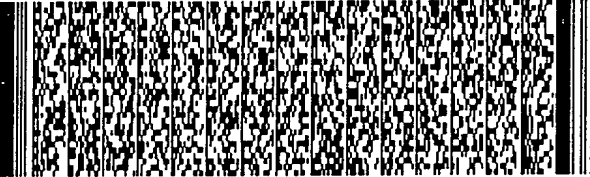
第 8/20 頁



第 9/20 頁



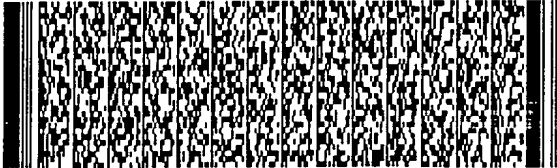
第 9/20 頁



第 10/20 頁



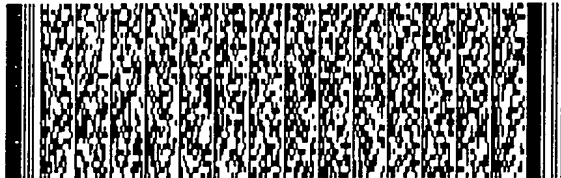
第 10/20 頁



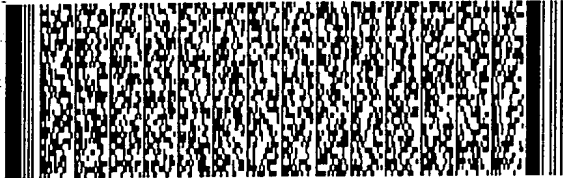
第 11/20 頁



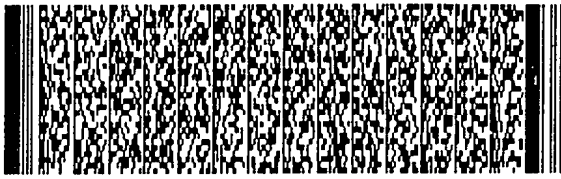
第 11/20 頁



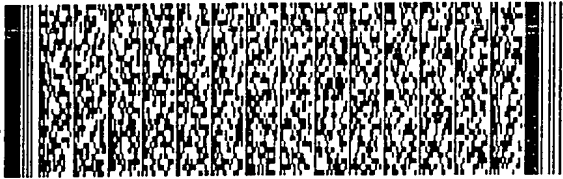
第 12/20 頁



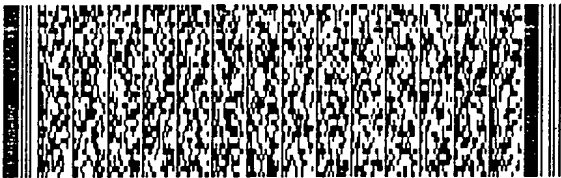
第 12/20 頁



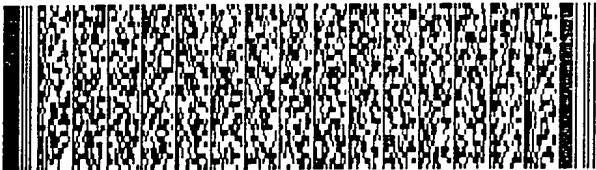
第 13/20 頁



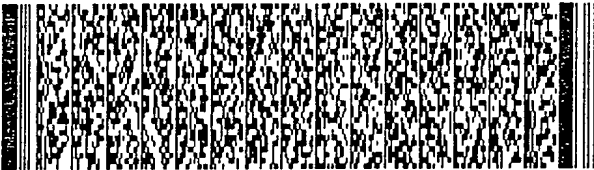
第 13/20 頁



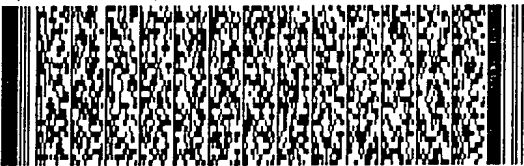
第 14/20 頁



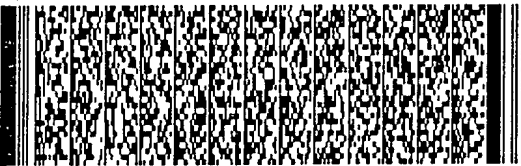
第 14/20 頁



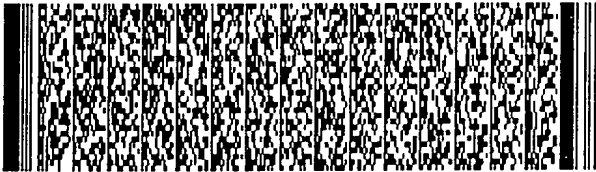
第 15/20 頁



第 15/20 頁



第 16/20 頁



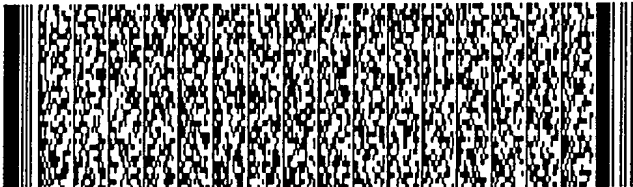
第 17/20 頁



第 18/20 頁



第 19/20 頁



第 20/20 頁

